

10/808,575
July 6, 2004

日本国特許庁 McDermott Will & Emery LLP
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

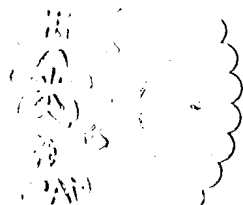
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 3月 4日
Date of Application:

出願番号 特願2004-060507
Application Number:

[ST. 10/C]: [JP 2004-060507]

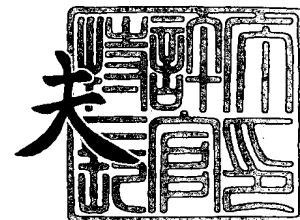
出願人 三洋電機株式会社
Applicant(s):



2004年 3月19日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3022653

【書類名】 特許願
【整理番号】 NPC1040077
【提出日】 平成16年 3月 4日
【あて先】 特許庁長官殿
【国際特許分類】 H03F 1/00
H03M 1/14
H03M 1/38

【発明者】
【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
【氏名】 谷 邦之

【発明者】
【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
【氏名】 和田 淳

【特許出願人】
【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社

【代理人】
【識別番号】 100105924
【弁理士】
【氏名又は名称】 森下 賢樹
【電話番号】 03-3461-3687

【先の出願に基づく優先権主張】
【出願番号】 特願2003- 86497
【出願日】 平成15年 3月26日

【手数料の表示】
【予納台帳番号】 091329
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0010682

【書類名】 特許請求の範囲**【請求項 1】**

所定の負荷へ印加すべきバイアス電圧を生成する駆動部と、
前記負荷へバイアス電圧を印加すべき期間において、その負荷における必要な電流量の変化に応じて前記駆動部が持つ電流駆動能力を切り替える制御部と、
を有することを特徴とするバイアス電圧生成回路。

【請求項 2】

前記駆動部は、並列に接続された電流駆動能力が異なる複数のバイアス回路を含み、
前記制御部は、前記複数のバイアス回路のうち動作させる回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項 1 に記載のバイアス電圧生成回路。

【請求項 3】

前記駆動部は、並列に接続された電流駆動能力が等しい複数のバイアス回路を含み、
前記制御部は、前記複数のバイアス回路のうち動作させる回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項 1 に記載のバイアス電圧生成回路。

【請求項 4】

前記駆動部は、互いに異なる第 1 のバイアス電圧と第 2 のバイアス電圧とを選択的に出力可能なバイアス回路を含み、
前記制御部は、前記負荷における必要な電流量の変化に応じて前記駆動部の出力を前記第 1 のバイアス電圧と前記第 2 のバイアス電圧で切り替えることを特徴とする請求項 1 に記載のバイアス電圧生成回路。

【請求項 5】

オートゼロ動作とアンプ動作を交互に繰り返す増幅部と、
前記増幅部にバイアス電圧を供給する駆動部と、
前記増幅部によるオートゼロ動作とアンプ動作における必要な電流量の変化に応じて前記駆動部が持つ電流駆動能力を切り替える制御部と、
を有することを特徴とする増幅回路。

【請求項 6】

前記駆動部は、並列に接続された電流駆動能力が異なる複数のバイアス回路を含み、
前記制御部は、前記複数のバイアス回路のうち動作する回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項 6 に記載の増幅回路。

【請求項 7】

前記駆動部は、並列に接続された電流駆動能力が等しい複数のバイアス回路を含み、
前記制御部は、前記複数のバイアス回路のうち動作する回路数を制御することにより前記電流駆動能力を切り替えることを特徴とする請求項 6 に記載の増幅回路。

【請求項 8】

前記駆動部は、互いに異なる第 1 のバイアス電圧と第 2 のバイアス電圧とを選択的に出力可能なバイアス回路を含み、
前記制御部は、前記負荷における必要な電流量の変化に応じて前記駆動部の出力を前記第 1 のバイアス電圧と前記第 2 のバイアス電圧で切り替えることを特徴とする請求項 6 に記載の増幅回路。

【書類名】明細書

【発明の名称】バイアス電圧生成回路および増幅回路

【技術分野】

【0001】

本発明は、バイアス電圧生成回路および増幅回路に関する。本発明は特に、バイアス回路を制御する技術に関する。

【背景技術】

【0002】

近年、携帯電話に画像撮影機能、画像再生機能、動画撮影機能、動画再生機能など様々な付加機能が搭載されるようになり、内蔵される増幅回路の消費電力低減の要求が高まっている。特に、アナログーデジタル変換器（以下、「AD変換器」という。）を内蔵させたワンチップLSIは年々微細化が進んでおり、電源電圧をより低くする必要性も生じている。変換精度の高いAD変換回路として、多段パイプライン型のAD変換器が知られている（例えば、特許文献1参照。）。また、AD変換器にはオペアンプが内蔵されているが、そのオペアンプへバイアスを印加する回路において出力電圧の立ち上がりを速くする技術が知られている（例えば、特許文献2参照。）。

【特許文献1】特開平9-69776号公報（全文、第1図）

【特許文献2】実開平5-17712号公報（全文、第1図）

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記の増幅回路においては、通常その動作内容にかかわらずバイアス電圧を印加し続けているので、必要以上に電力が消費されている。一方、電力を必要としないスタンバイ期間にバイアス電圧を比較的長時間オフにすることによって省電力化を図るとしても、そのオフ期間におけるリークを低減させるためにはキャパシタなどの部品を設ける必要があり、回路面積が増加する問題があった。

【0004】

本発明はこうした状況に鑑みなされたものであり、その目的はバイアス電圧を印加する回路において消費電力を低減させる点にある。

【課題を解決するための手段】

【0005】

本発明のある態様はバイアス電圧生成回路である。この回路は、所定の負荷へ印加すべきバイアス電圧を生成する駆動部と、前記負荷へバイアス電圧を印加すべき期間において、その負荷における必要な電流量の変化に応じて駆動部が持つ電流駆動能力を切り替える制御部と、を有する。

【0006】

「所定の負荷」は、例えばAD変換器やその中に含まれる増幅器など、必要とする電流量が周期的に変化する回路である。「バイアス電圧を印加すべき期間」は、例えば所定の負荷が動作すべき期間であって、バイアス電圧の印加が不要である期間を除く趣旨である。すなわち、制御部は電流駆動能力をゼロにしない範囲で細かく電流駆動を変化させる。これにより、負荷の動作期間における消費電力が必要十分な量になるよう細かく制御して全体として省電力化を図ることができる。

【0007】

駆動部は、並列に接続された電流駆動能力が異なる複数のバイアス回路を含んでもよいし、並列に接続された電流駆動能力が等しい複数のバイアス回路を含んでもよい。これら複数のバイアス回路は、それぞれ互いに異なるバイアス電圧を出力してもよいし、それぞれ等しいバイアス電圧を出力してもよい。制御部は、複数のバイアス回路のうち動作させる回路数を制御することにより電流駆動能力を切り替えてもよい。複数のバイアス回路は、電源電圧に略等しい値である第1のバイアス電圧と電源電圧と異なる所定の値である第2のバイアス電圧とを選択的に出力してもよい。

【0008】

バイアス回路は、電源電位と接地電位の間でPMOSトランジスタおよびNMOSトランジスタを直列接続させて共通するドレインをそれぞれのゲートに接続しドレインからバイアス電圧を出力するCMOSトランジスタと、そのCMOSトランジスタにより生じる貫通電流を遮断するスイッチング素子と、CMOSトランジスタからのバイアス電圧の出力を制御するスイッチング素子と、を含んでもよい。制御部は、複数のバイアス回路にそれぞれ含まれるスイッチング素子に制御信号を送ることにより動作させる回路数を制御してもよい。

【0009】

本発明の別の態様は増幅回路である。この回路は、オートゼロ動作とアンプ動作を交互に繰り返す増幅部と、増幅部にバイアス電圧を供給する駆動部と、増幅部によるオートゼロ動作とアンプ動作における必要な電流量の変化に応じて駆動部が持つ電流駆動能力を切り替える制御部と、を有する。この増幅回路は、例えば入力アナログ電圧をもとにそれぞれが段階的に上位から数ビットずつのデジタル値を生成する複数段の変換ユニットを有する多段パイプライン型AD変換器であってもよい。その場合、複数段の変換ユニットのうち少なくともいずれかの変換ユニットへ比較的大きな電流を駆動し、その他の変換ユニットへより小さな電流を駆動するよう電流駆動能力を制御してもよい。また、高いアナログ精度が最も要求される初段の変換ユニットへ比較的大きな電流を駆動し、2段目以降の変換ユニットへより小さな電流を駆動するよう電流駆動能力を制御してもよい。

【0010】

バイアス回路は、電源電位と接地電位の間でPMOSトランジスタおよびNMOSトランジスタを直列接続させて共通するドレインをそれぞれのゲートに接続しドレインからバイアス電圧を出力するCMOSトランジスタと、そのCMOSトランジスタにより生じる貫通電流を遮断するスイッチング素子と、CMOSトランジスタからのバイアス電圧の出力を制御するスイッチング素子と、を含んでもよい。制御部は、複数のバイアス回路にそれぞれ含まれるスイッチング素子に制御信号を送ることにより動作させる回路数を制御してもよい。

【0011】

本態様においても、駆動電流を細かく調整することによって、増幅回路における消費電力を低減させることができる。

【0012】

上記のバイアス回路は、サイズ比が異なる一対のnチャネルトランジスタと、サイズ比が略等しい一対のpチャネルトランジスタと、第1のバイアス電圧と第2のバイアス電圧で出力を切り替えるためのスイッチ素子と、を少なくとも含むウィルソン型カレントミラー回路であってもよい。

【0013】

なお、以上の構成要素の任意の組合せや、本発明の構成要素や表現を方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】**【0014】**

本発明によれば、バイアス電圧を印加する回路における消費電力を低減させることができる。

【発明を実施するための最良の形態】**【0015】****(第1実施形態)**

図1は、本実施形態のバイアス電圧生成回路を一部に含む画像処理回路の基本的な構成を示す。CCD (Charge Coupled Device) やCMOSセンサ等のイメージセンサ12は、被写体からの光を取り込んで電気信号に変換し、これをワンチップLSI (Large Scale Integration) 10へ入力する。ワンチップLSI 10には、AGC (Auto Gain Control) 14、AD変換器20、DSP (Digital Signal Processor) 16が内蔵されている

。AGC14はイメージセンサ12から受け取る電気信号を増幅し、AD変換器20は増幅されたアナログ信号をデジタル信号に変換し、DSP16は変換されたデジタル信号に圧縮などの画像処理を施す。ワンチップLSI10に内蔵された各構成は所定の電圧電源から電力供給される。

【0016】

AD変換器20は、低消費電力化を実現するためのバイアス電圧生成回路を含んでおり、ワンチップLSI10全体としても低消費電力化が実現され、特に省電力の要求が高い携帯電話などの携帯端末へ搭載するのに好適である。またこのバイアス電圧生成回路およびこれを含むAD変換器20は、コンデンサの容量増加による回路面積の増大を招かないので、ワンチップLSI10への搭載に好適である。

【0017】

図2は、第1実施形態のAD変換器20の構成を示す。AD変換器20は、第1変換部22から第n変換部28までのn段の変換ユニットにより、10ビットのAD変換を段階的に処理する。初段である第1変換部22は、4ビットを処理し、2段目以降で残りのビットを処理する。n=4の場合、2段目から4段目でそれぞれ2ビットずつ処理すればよい。

【0018】

第1変換部22は、第1AD変換回路32、第1DA変換回路34、第1減算回路36、第1増幅回路38を含む。第1AD変換回路32は、入力アナログ信号を上位から所定数ビット分のデジタル信号に変換するサブAD変換回路である。ここでは例えば4ビットのデジタル値を第1DA変換回路34とデジタル出力回路30へ出力する。第1DA変換回路34は、第1AD変換回路32から出力されたデジタル値をアナログ信号に変換する。第1減算回路36は、元の入力アナログ信号と第1DA変換回路34からのアナログ信号との差を第1増幅回路38へ入力し、これを第1増幅回路38が増幅して第2変換部24へ送る。第1増幅回路38は、例えばスイッチトキャパシタ型アンプである。第1減算回路36と第1増幅回路38を合わせて差動増幅回路として構成してもよい。

【0019】

第2変換部24は、第2AD変換回路42、第2DA変換回路44、第2減算回路46、第2増幅回路48を含む。これら各構成はそれぞれ第1変換部22の第1AD変換回路32、第1DA変換回路34、第1減算回路36、第1増幅回路38と同様に動作する。ただし、第2AD変換回路42は、例えば第1AD変換回路32の出力ビットより下位の2ビット分を出力する。

【0020】

第(n-1)変換部26は、第(n-1)AD変換回路52、第(n-1)DA変換回路54、第(n-1)減算回路56、第(n-1)増幅回路58を含む。これら各構成もまたそれぞれ第1変換部22の第1AD変換回路32、第1DA変換回路34、第1減算回路36、第1増幅回路38と同様に動作する。ただし、第(n-1)AD変換回路52は、前段の出力ビットより下位の2ビット分を出力する。第n変換部28は、第nAD変換回路60を含む。第nAD変換回路60は、最下位の2ビット分を出力する。デジタル出力回路30は、第1変換部22、第2変換部24、第(n-1)変換部26、第n変換部28から受け取るデジタル信号を合成して10ビットのデジタル信号を出力する。

【0021】

第1バイアス電圧生成回路70、第2バイアス電圧生成回路72、第3バイアス電圧生成回路74、第4バイアス電圧生成回路76は、後述する図3に記載された構成を有するとともに、それぞれ第1変換部22、第2変換部24、第(n-1)変換部26、第n変換部28へバイアス電圧を印加する。

【0022】

図3は、第1バイアス電圧生成回路70の構成を示す。第1バイアス電圧生成回路70は、駆動部80と制御部88を有する。駆動部80は、第1変換部22の第1増幅回路38などの負荷に対して印加すべきバイアス電圧を生成する。制御部88は、負荷へバイア

ス電圧を印加すべき期間において、その負荷における必要な電流量の変化に応じて駆動部 80 が持つ電流駆動能力を切り替える。

【0023】

駆動部 80 は、並列に接続された電流駆動能力が異なる複数のバイアス回路として、第 1 バイアス回路 82 および第 2 バイアス回路 84 を含む。第 1 バイアス回路 82 は、電源電位 VDD と接地電位 VSS の間で直列接続させた第 1 トランジスタ Tr1 および第 2 トランジスタ Tr2 からなる CMOS トランジスタと、その CMOS トランジスタにより生じる貫通電流を遮断するスイッチング素子としての第 3 トランジスタ Tr3 と、を含む。第 1 トランジスタ Tr1 は P チャネル MOS トランジスタであり、第 2 トランジスタ Tr2 は N チャネル MOS トランジスタである。第 1 トランジスタ Tr1 および第 2 トランジスタ Tr2 は、共通するドレイン電極を持ち、そのドレイン電極とそれぞれのゲート電極を短絡させたダイオード接続がなされている。共通するドレイン電極は、第 1 トランジスタ Tr1 および第 2 トランジスタ Tr2 のオン抵抗で分圧された電圧をバイアス電圧として出力する。その出力経路には出力を制御するスイッチング素子としての第 1 出力用トランジスタ Tr10 が設けられている。

【0024】

第 2 バイアス回路 84 もまた、電源電位 VDD と接地電位 VSS の間で直列接続させた第 4 トランジスタ Tr4 および第 5 トランジスタ Tr5 からなる CMOS トランジスタと、その CMOS トランジスタにより生じる貫通電流を遮断するスイッチング素子としての第 6 トランジスタ Tr6 と、を含む。第 4 トランジスタ Tr4 は P チャネル MOS トランジスタであり、第 5 トランジスタ Tr5 は N チャネル MOS トランジスタである。第 4 トランジスタ Tr4 および第 5 トランジスタ Tr5 もまた、共通するドレイン電極を持ち、そのドレイン電極とそれぞれのゲート電極を短絡させたダイオード接続がなされている。共通するドレイン電極は、第 4 トランジスタ Tr4 および第 5 トランジスタ Tr5 のオン抵抗で分圧された電圧をバイアス電圧として出力する。その出力経路には出力を制御するスイッチング素子としての第 2 出力用トランジスタ Tr20 が設けられている。

【0025】

第 1 バイアス回路 82 からのバイアス電圧の出力経路は、第 2 バイアス回路 84 からのバイアス電圧の出力経路と接続されて第 1 変換部 22 へ印加される。

【0026】

第 1 バイアス回路 82 と第 2 バイアス回路 84 は、電流駆動能力は異なるが、出力するバイアス電圧が等しい。すなわち、第 1 バイアス回路 82 における第 1 トランジスタ Tr1 および第 2 トランジスタ Tr2 の素子サイズ比と、第 2 バイアス回路 84 における第 4 トランジスタ Tr4 および第 5 トランジスタ Tr5 の素子サイズ比が等しくなるように構成されている。そのようにサイズ比を維持したまま、第 1 トランジスタ Tr1 および第 2 トランジスタ Tr2、または、第 4 トランジスタ Tr4 および第 5 トランジスタ Tr5 のサイズを大きくすることにより、異なる電流駆動能力を持つよう構成されている。一般に、貫通電流が大きいほど電流駆動能力が大きい。

【0027】

制御部 88 は、第 3 トランジスタ Tr3、第 6 トランジスタ Tr6、第 1 出力用トランジスタ Tr10、および第 2 出力用トランジスタ Tr20 のそれぞれのゲート電極に制御信号を印加してオンオフ制御する。すなわち、第 1 バイアス回路 82 は、制御部 88 による第 3 トランジスタ Tr3 および第 1 出力用トランジスタ Tr10 のオンオフ制御により動作状態と非動作状態が切り替わる。同様に、第 2 バイアス回路 84 は、制御部 88 による第 6 トランジスタ Tr6 および第 2 出力用トランジスタ Tr20 のオンオフ制御により動作状態と非動作状態が切り替わる。

【0028】

制御部 88 は、第 1 バイアス回路 82 および第 2 バイアス回路 84 のうち動作させる回路数を制御することによって駆動部 80 全体の電流駆動能力を切り替える。例えば、第 1 変換部 22 において比較的大きな電流が必要な期間には、第 1 バイアス回路 82 および第

2 バイアス回路 84 の双方を動作させ、比較的小さな電流で十分な期間には、第1 バイアス回路 82 および第2 バイアス回路 84 のいずれか一方のみを動作させればよい。第1 バイアス回路 82 および第2 バイアス回路 84 の電流駆動能力と、制御部 88 による第3 トランジスタ Tr3、第6 トランジスタ Tr6、第1 出力用トランジスタ Tr10、および第2 出力用トランジスタ Tr20 の制御タイミングは、バイアス電圧の印加対象である第1 変換部 22 において必要とされる電流量の変化に応じて設計される。

【0029】

図4は、第1実施形態における第1変換部22の動作の変化と制御部88による制御の関係を示すタイムチャートである。図において上から順に、第1変換部22に含まれる第1増幅回路38の動作モード、第3トランジスタTr3のオンオフタイミング、第6トランジスタTr6のオンオフタイミング、を示す。以下、第3トランジスタTr3のオンオフタイミングは第1出力用トランジスタTr10のオンオフタイミングでもあり、第6トランジスタTr6のオンオフタイミングは第2出力用トランジスタTr20のオンオフタイミングでもある。第1増幅回路38は、オートゼロ動作とアンプ動作を交互に繰り返す。本実施形態では、オートゼロ動作の期間に比較的大きな電流を必要とし、アンプ動作の期間には比較的小さな電流で十分とする。これに合わせて、制御部88はオートゼロ動作の期間に第3トランジスタTr3および第6トランジスタTr6の双方をオンにし、アンプ動作の期間には第3トランジスタTr3をオフにして第6トランジスタTr6のみをオンのままにする。このように、バイアス電圧を印加する回路における電力消費量の細かな調整を実現することができる。

【0030】

第2バイアス回路84の電流駆動能力は第1増幅回路38のアンプ動作期間中に第1変換部22で必要とする電流量に基づいて設計すればよい。第1バイアス回路82の電流駆動能力は第1増幅回路38のオートゼロ動作期間中に第1変換部22で必要とする電流量と第2バイアス回路84の電流駆動能力に基づいて設計すればよい。なお、第3トランジスタTr3または第6トランジスタTr6をオフにする期間は、第1変換部22がアクティブの状態である期間に含まれる比較的短い期間である。したがって、スタンバイ期間にオフするのと異なり、リーク電流による影響は小さく、別途キャパシタなどの部品を設ける必要性は低い。すなわち、回路面積の増大を回避しながらバイアス電圧を印加する回路における消費電力を低減させることができる。

【0031】

(第2実施形態)

本実施形態のバイアス電圧生成回路は、制御部による第1バイアス回路および第2バイアス回路の制御タイミングにおいて第1実施形態と異なるが、その他の構成は第1実施形態と共通する。

【0032】

図5は、第2実施形態における第1変換部22の動作の変化と制御部88による制御の関係を示すタイムチャートである。本実施形態では、オートゼロ動作期間のうち、特にオートゼロ開始直後に比較的大きな電流を必要とし、残りのオートゼロ期間には比較的小さな電流で十分とする。これに合わせて、制御部88はオートゼロ開始直後の期間に第3トランジスタTr3および第6トランジスタTr6の双方をオンにし、残りのオートゼロ期間には第3トランジスタTr3をオフにして第6トランジスタTr6のみをオンのままにする。さらに、アンプ動作期間には第6トランジスタTr6もオフにする。したがって、第2バイアス回路84の電流駆動能力は第1増幅回路38のオートゼロ開始直後以外のオートゼロ動作期間中に第1変換部22で必要とする電流量に基づいて設計すればよい。第1バイアス回路82の電流駆動能力は第1増幅回路38のオートゼロ開始直後に第1変換部22で必要とする電流量と第2バイアス回路84の電流駆動能力に基づいて設計すればよい。

【0033】

(第3実施形態)

本実施形態のバイアス電圧生成回路は、駆動部を構成する複数のバイアス回路の電流駆動能力がすべて等しい点で第1、2実施形態と異なるが、その他の構成は第1または第2実施形態と共通する。

【0034】

図6は、第1バイアス電圧生成回路70の構成を示す。第1バイアス電圧生成回路70において、駆動部80は第1バイアス回路82、第2バイアス回路84、第3バイアス回路86を含む。これらのバイアス回路は同一の電流駆動能力を有する。すなわち、第1バイアス回路82を構成する第1、2トランジスタTr1、Tr2の素子サイズおよびサイズ比と、第2バイアス回路84を構成する第4、5トランジスタTr4、Tr5の素子サイズおよびサイズ比と、第3バイアス回路86を構成する第7、8トランジスタTr7、Tr8の素子サイズおよびサイズ比は、すべて同一である。

【0035】

制御部88は、第3トランジスタTr3、第6トランジスタTr6、第9トランジスタTr9のそれぞれに制御信号を送ることにより、第1バイアス回路82、第2バイアス回路84、第3バイアス回路86のそれぞれの動作をオンオフ制御する。第1バイアス回路82、第2バイアス回路84、第3バイアス回路86のうち動作させる回路数およびそのオンオフタイミングは、第1、2実施形態と同様に、第1変換部22において必要とする電流量の変化に応じて設計すればよい。

【0036】

なお、第1実施形態においても、第1バイアス回路82および第2バイアス回路84を構成する各トランジスタのサイズ比を同一にしているので、原理的には同一のバイアス電圧を出力すると考えられる。しかし、サイズ自体が異なるためにトランジスタの特性に若干の相違が見られる可能性もあり、出力されるバイアス電圧が僅かにばらつくこともあり得る。本実施形態においては、サイズ比のみならずサイズ自体も同一に構成しているので、特性のばらつきによるバイアス電圧のばらつきをより確実に低減できる。

【0037】

(第4実施形態)

本実施形態のバイアス電圧生成回路は、多段パイプライン型AD変換回路が有する複数段の変換ユニットに対してそれぞれ異なる電流駆動能力にてバイアス電圧を印加する点で第1～3実施形態と異なる。図2において、初段である第1変換部22では10ビット分の精度が必要であるのに対し、2段目の第2変換部24では $10 - 4 + 1 = 7$ ビット分の精度で足りる。このように、初段と2段目以降とは必要なビット精度が異なり、要求されるアナログ精度が異なる。したがって、第1変換部22は比較的大きな電流を必要とするのに対し、2段目以降の第2変換部24から第n変換部28までの各変換ユニットは、比較的小さな電流で十分とされる。これに合わせる形で、第1バイアス電圧生成回路70の電流駆動能力と、第2バイアス電圧生成回路72から第4バイアス電圧生成回路76までの電流駆動能力とが異なるよう、それぞれを構成するバイアス回路内の素子サイズや制御部88による制御タイミングを設計する。

【0038】

(第5実施形態)

本実施形態のバイアス電圧生成回路は、駆動部に含まれるバイアス回路の構成がウィルソン型カレントミラーである点で、他の実施形態と異なる。

【0039】

図7は、第5実施形態における第1バイアス電圧生成回路の構成を示す。駆動部80は、第10トランジスタTr30、第11トランジスタTr31、第12トランジスタTr32、第13トランジスタTr33、第14トランジスタTr34を含む。第10トランジスタTr30と第11トランジスタTr31はそれぞれのサイズ比が略等しいpチャネルMOSトランジスタであり、カレントミラーを形成する。第10トランジスタTr30と第11トランジスタTr31は、共通するソース電極が電源電位VDDと接続され、共通するゲート電極が第10トランジスタTr30のドレイン電極と短絡されている。

【0040】

第12トランジスタTr32と第13トランジスタTr33はそれぞれのサイズ比が異なるnチャネルMOSトランジスタであり、カレントミラーを形成する。第12トランジスタTr32のドレイン電極が第10トランジスタTr30のドレイン電極と接続され、第13トランジスタTr33のドレイン電極が第11トランジスタTr31のドレイン電極と接続され、共通するゲート電極が第13トランジスタTr33のドレイン電極と短絡されている。第12トランジスタTr32のソース電極は接地電位と接続され、第13トランジスタTr33のソース電極は第14トランジスタTr34のドレイン電極と接続されている。第14トランジスタTr34のソース電極は接地電位と接続されている。

【0041】

第14トランジスタTr34は、制御部88によりオンオフ制御される。第14トランジスタTr34がオフの場合、第10トランジスタTr30と第11トランジスタTr31がオンとなり、第12トランジスタTr32と第13トランジスタTr33がオフとなるので、電源電位VDDと略等しい値である第1のバイアス電圧が第1変換部22へ出力される。第14トランジスタTr34がオンされると、第10トランジスタTr30、第11トランジスタTr31、第12トランジスタTr32、第13トランジスタTr33がすべてオンされるので、第12トランジスタTr32と第13トランジスタTr33のサイズ比の違いに応じた値である第2のバイアス電圧が第1変換部22へ出力される。

【0042】

このように、本実施形態においても、制御部88は、負荷である第1変換部22へバイアス電圧を印加すべき期間において、第1変換部22における必要な電流量の変化に応じて駆動部80が持つ電流駆動能力を切り替えることができる。すなわち、制御部88は、駆動部80の出力を互いに異なる第1のバイアス電圧と第2のバイアス電圧で切り替えることができる。

【0043】

(第6実施形態)

本実施形態におけるバイアス電圧生成回路は、駆動部に含まれるバイアス回路の構成が一般的なカレントミラーである点で、バイアス電圧生成回路にウエルソン型カレントミラーを採用する第5実施形態と異なる。

【0044】

図8は、第6実施形態における第1バイアス電圧生成回路の構成を示す。駆動部80は、第15トランジスタTr40、第16トランジスタTr41、第17トランジスタTr42、第18トランジスタTr43を含む。第15トランジスタTr40と第16トランジスタTr41はそれぞれpチャネルMOSトランジスタであり、カレントミラーを形成する。第15トランジスタTr40と第16トランジスタTr41は、それぞれのソース電極が電源電位VDDと接続され、共通するゲート電極が第15トランジスタTr40のドレイン電極と短絡されている。

【0045】

第17トランジスタTr42は、nチャネルMOSトランジスタであり、ドレイン電極とゲート電極が短絡され、そのドレイン電極が第16トランジスタTr41のドレイン電極と接続されている。第17トランジスタTr42のソース電極は接地電位に接続されている。第16トランジスタTr41と第17トランジスタTr42のドレイン電極からは、第15トランジスタTr40と第16トランジスタTr41のそれぞれのサイズ比に応じたバイアス電圧が第1増幅回路38へ出力される。

【0046】

第18トランジスタTr43は、nチャネルMOSトランジスタであり、そのドレイン電極が第15トランジスタTr40のドレイン電極と接続され、ソース電極は接地電位に接続されている。第18トランジスタTr43のゲート電極には制御部88から制御信号として2通りの電圧が印加される。

【0047】

制御部 88 は、第 19 トランジスタ $Tr50$ 、第 20 トランジスタ $Tr51$ 、第 1 スイッチ 100、第 2 スイッチ 101、第 3 スイッチ 102、第 4 スイッチ 103 を含む。制御部 88 は、第 1 の電圧を駆動部 80 へ出力するときに、第 1 スイッチ 100 および第 3 スイッチ 102 をオンし、第 2 スイッチ 101 および第 4 スイッチ 103 をオフする。制御部 88 は、第 2 の電圧を駆動部 80 へ出力するときに、第 1 スイッチ 100 および第 3 スイッチ 102 をオフし、第 2 スイッチ 101 および第 4 スイッチ 103 をオンする。第 19 トランジスタ $Tr50$ と第 20 トランジスタ $Tr51$ はそれぞれサイズ比が異なり、駆動部 80 へ印加する第 1 の電圧と第 2 の電圧の値も異なる。

【0048】

第 18 トランジスタ $Tr43$ は、ゲート電極に第 1 の電圧が印加された場合と第 2 の電圧が印加された場合とで異なる値の電流を駆動する。これにより、制御部 88 による制御に応じて第 18 トランジスタ $Tr43$ に流れる電流の値が切り替わり、駆動部 80 から出力されるバイアス電圧の値も異なる値に切り替わる。

【0049】

このように、本実施形態においても、制御部 88 は、負荷である第 1 変換部 22 へバイアス電圧を印加すべき期間において、第 1 変換部 22 における必要な電流量の変化に応じて駆動部 80 が持つ電流駆動能力を切り替えることができる。すなわち、制御部 88 は、駆動部 80 の出力を互いに異なる第 1 のバイアス電圧と第 2 のバイアス電圧で切り替えることができる。

【0050】

なお、本実施形態ではバイアス電圧の印加対象として第 1 増幅回路 38 を例示するが、他のコンパレータをバイアス電圧の印加対象としてもよい。例えば第 1 AD 変換回路 32、第 2 AD 変換回路 42、第 $(n-1)$ AD 変換回路 52、第 n AD 変換回路 60 のそれぞれに含まれるコンパレータをバイアス電圧の印加対象としてもよいし、第 2 増幅回路 48 または第 $(n-1)$ 増幅回路 58 をバイアス電圧の印加対象としてもよい。

【0051】

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、その各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、変形例を挙げる。

【0052】

第 1 実施形態の図 4 は、オートゼロ動作がアンプ動作に切り替わるタイミングで制御部 88 が第 3 トランジスタ $Tr3$ をオフにすることを示している。変形例においては、オートゼロ動作がアンプ動作に切り替わるタイミング以降であって、次のオートゼロ動作開始前までの任意のタイミングで制御部 88 が第 3 トランジスタ $Tr3$ をオフにするよう制御してもよい。

【0053】

第 2 実施形態の図 5 は、オートゼロ開始直後の比較的大きな電流が必要とされる期間が終わるタイミングで制御部 88 が第 3 トランジスタ $Tr3$ をオフにすることを示している。変形例においては、オートゼロ開始直後の比較的大きな電流が必要とされる期間が終わってからアンプ動作に切り替わるタイミングまでの任意のタイミングで制御部 88 が第 3 トランジスタ $Tr3$ をオフにするよう制御してもよい。また、同図はアンプ動作に切り替わるタイミングで制御部 88 が第 6 トランジスタ $Tr6$ をオフにすることを示している。変形例においては、オートゼロ開始直後の比較的大きな電流が必要とされる期間が終わってから次のオートゼロ開始までの任意のタイミングで制御部 88 が第 6 トランジスタ $Tr6$ をオフにするよう制御してもよい。

【0054】

第 1～3 実施形態において、駆動部 80 を 2～3 個のバイアス回路で構成した。変形例においては、それ以上の個数のバイアス回路で構成してもよいし、電流動作能力が同一のバイアス回路と電流動作能力が異なるバイアス回路とを混在させて構成してもよい。

【0055】

第4実施形態では、初段である第1変換部22と、2段目以降の第2変換部24から第n変換部28とで分けて電流駆動能力の相違を説明した。変形例においては、例えば2段目以降において後段に進むにつれて必要な電流量が小さくなる場合に、これに合わせて第2バイアス電圧生成回路72から第4バイアス電圧生成回路76までの電流駆動能力も徐々に小さくなるよう構成してもよい。

【0056】

図2において、第1変換部22、第2変換部24、第(n-1)変換部26にそれぞれ一つずつ増幅回路を含む構成とした。変形例においては、例えば初段の第1変換部22においてさらにサンプルホールド回路などの増幅回路を設け、その増幅回路の動作に必要な電流を考慮して第1バイアス電圧生成回路70を構成するバイアス回路および制御部88による制御タイミングを設計してもよい。同様に、図1に示されるAGC14に印加するバイアス電圧もまた、各実施形態と同様のバイアス電圧生成回路により生成してもよい。

【0057】

第3実施形態の図6において、各バイアス回路から出力されるバイアス電圧の経路には出力を制御するスイッチング素子が設けられていない構成を例示した。変形例においては、第1実施形態の図3と同様に、出力経路にスイッチング素子を設けて出力を制御してもよい。

【図面の簡単な説明】

【0058】

【図1】本実施形態のバイアス電圧生成回路を一部に含む画像処理回路の基本的な構成を示す図である。

【図2】第1実施形態のAD変換器の構成を示す図である。

【図3】第1バイアス電圧生成回路の構成を示す図である。

【図4】第1実施形態における第1変換部の動作の変化と制御部による制御の関係を示すタイムチャートである。

【図5】第2実施形態における第1変換部の動作の変化と制御部による制御の関係を示すタイムチャートである。

【図6】第3実施形態における第1バイアス電圧生成回路の構成を示す図である。

【図7】第5実施形態における第1バイアス電圧生成回路の構成を示す図である。

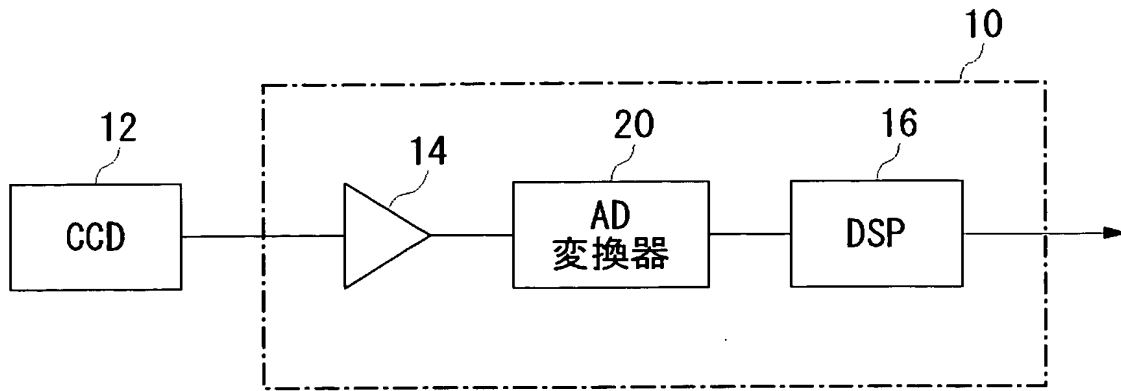
【図8】第6実施形態における第1バイアス電圧生成回路の構成を示す図である。

【符号の説明】

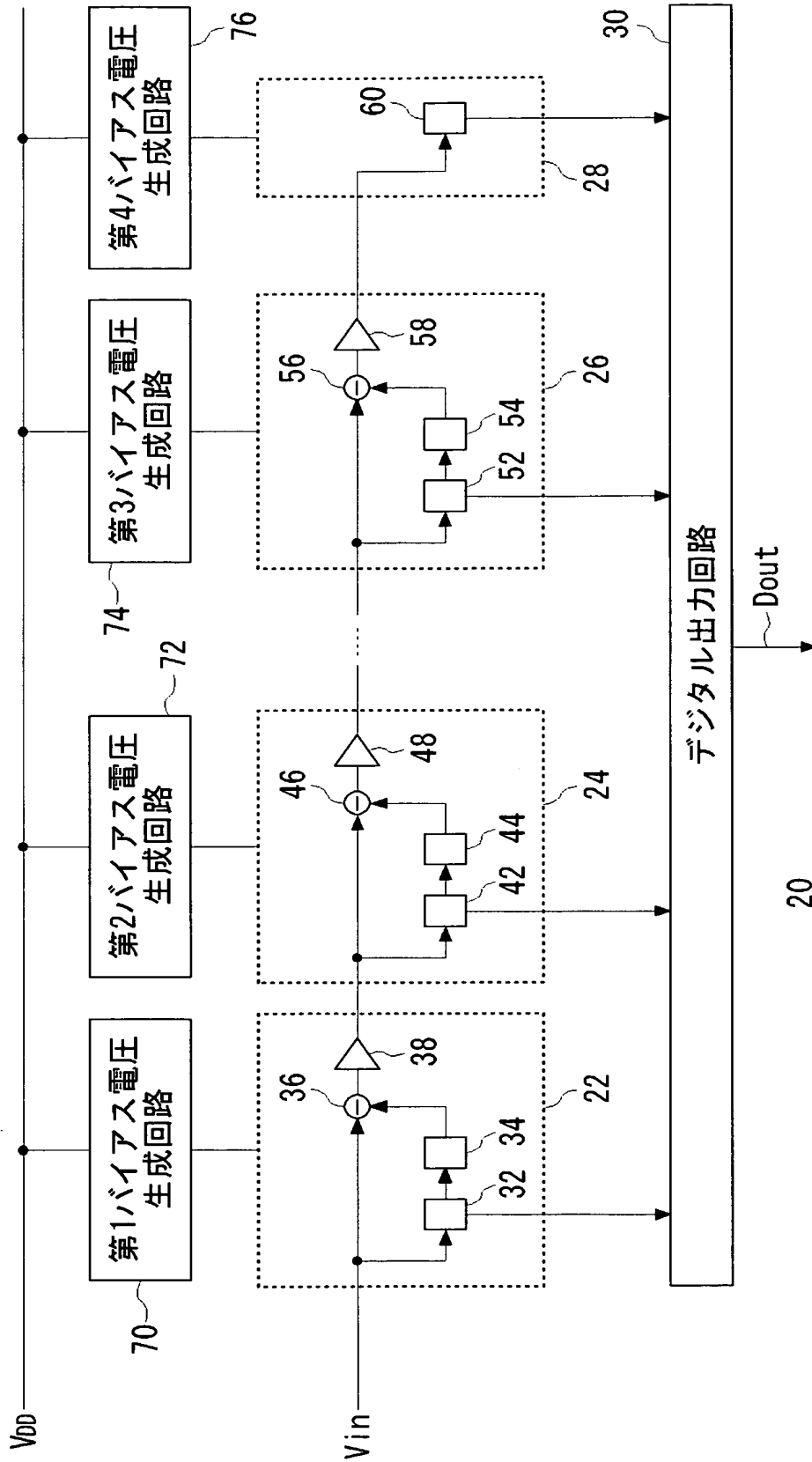
【0059】

VDD 電源、 20 AD変換器、 70 第1バイアス電圧生成回路、 72 第2バイアス電圧生成回路、 74 第3バイアス電圧生成回路、 76 第4バイアス電圧生成回路、 80 駆動部、 82 第1バイアス回路、 84 第2バイアス回路、 86 第3バイアス回路、 88 制御部。

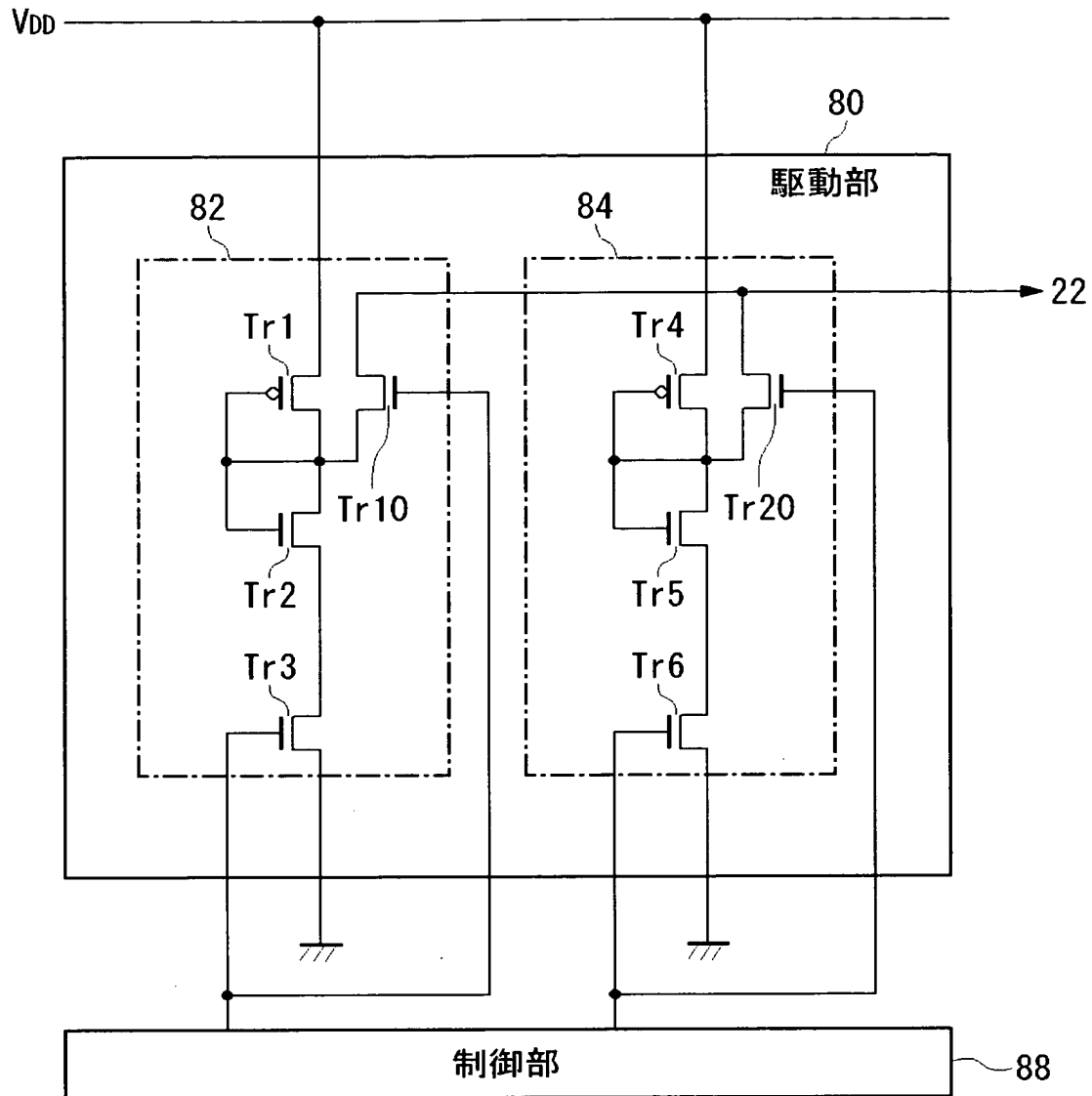
【書類名】 図面
【図 1】

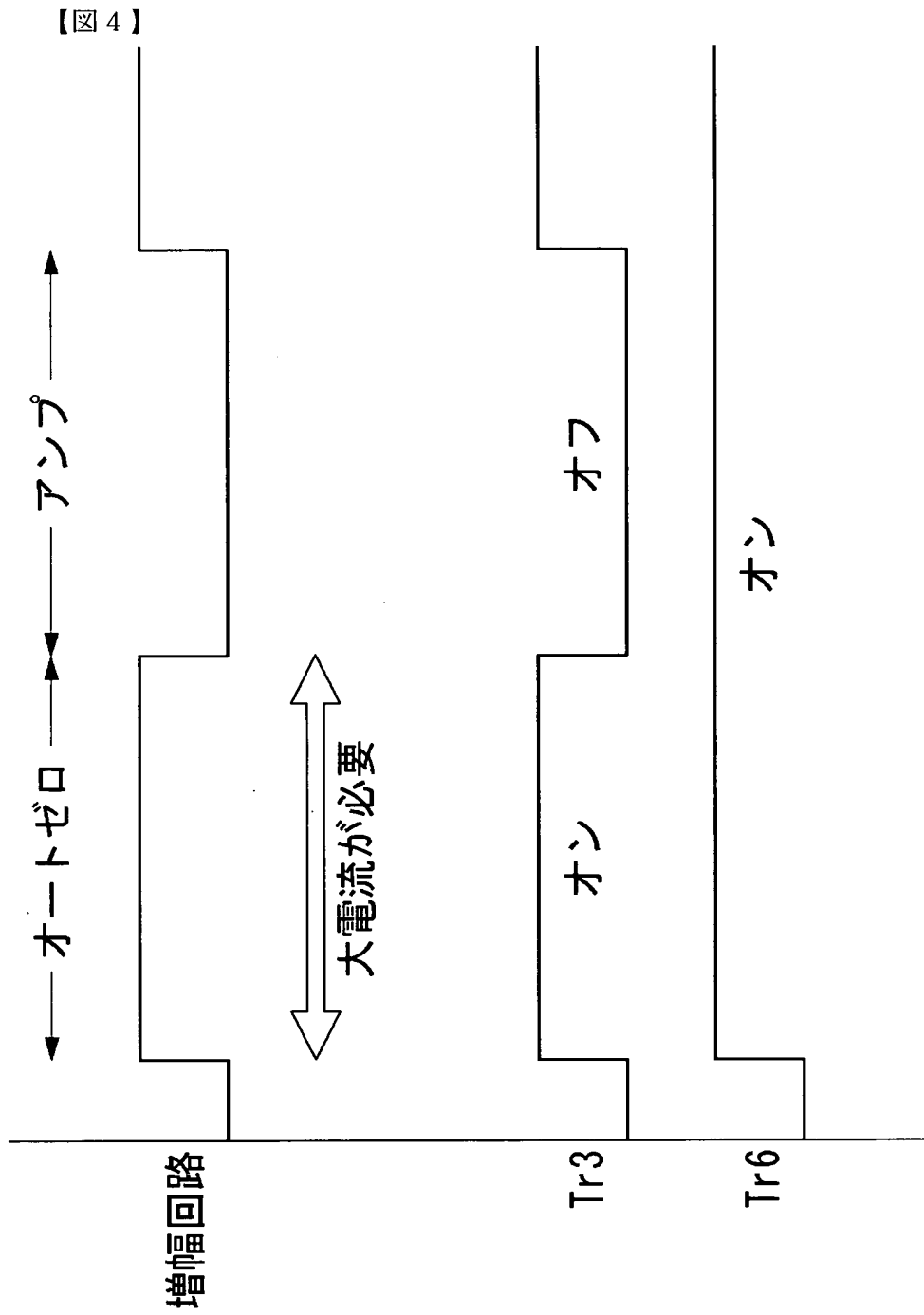


【図2】

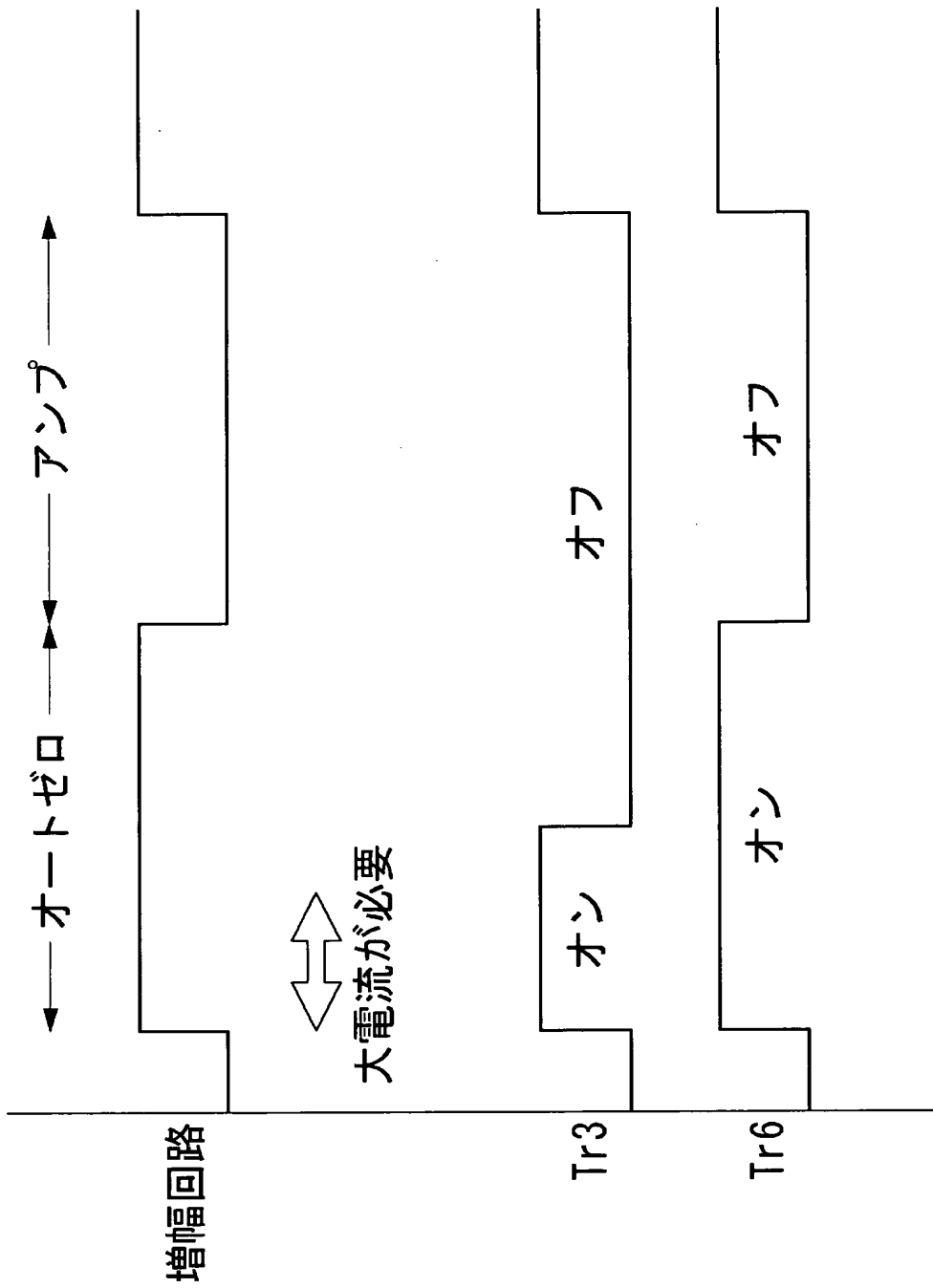


【図 3】

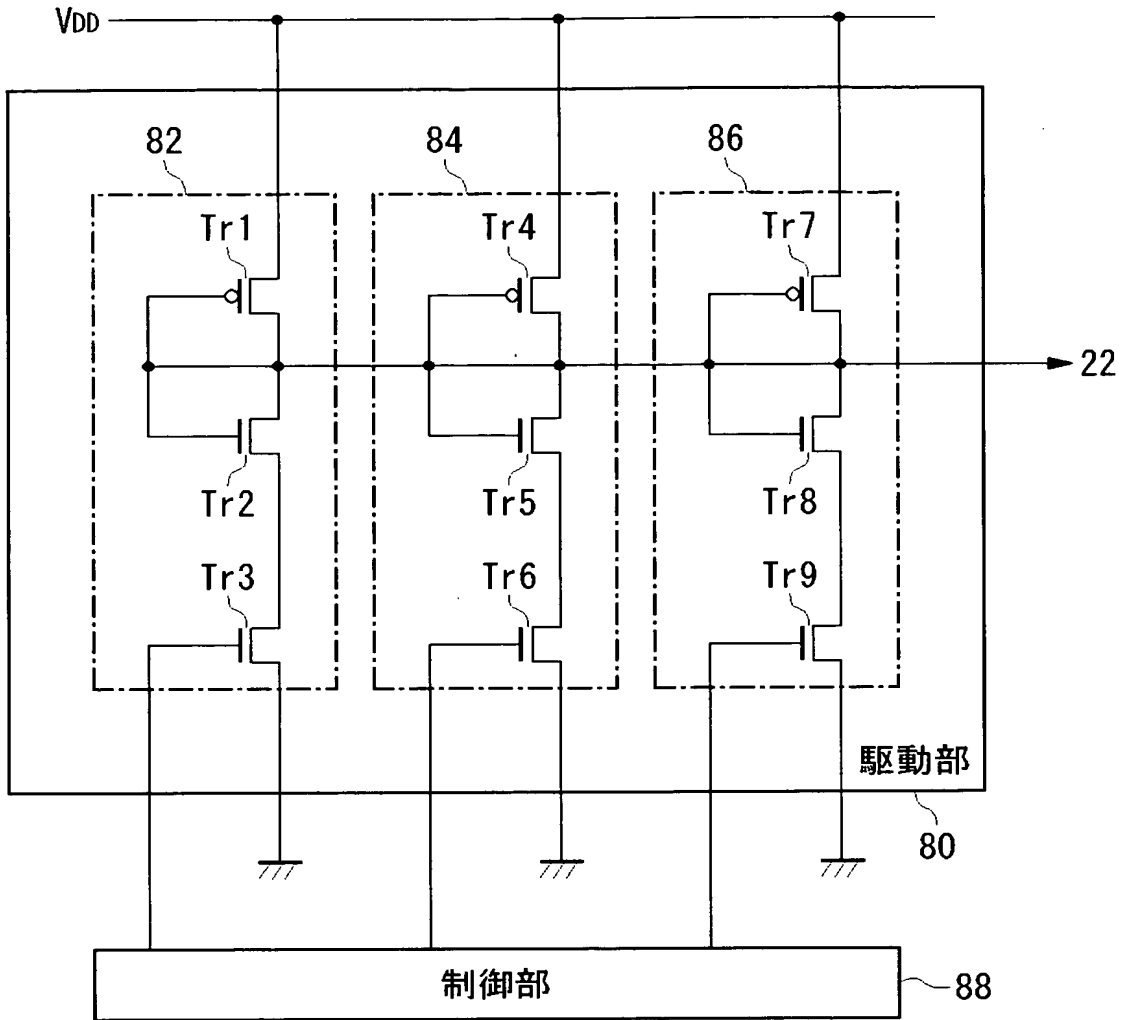




【図 5】

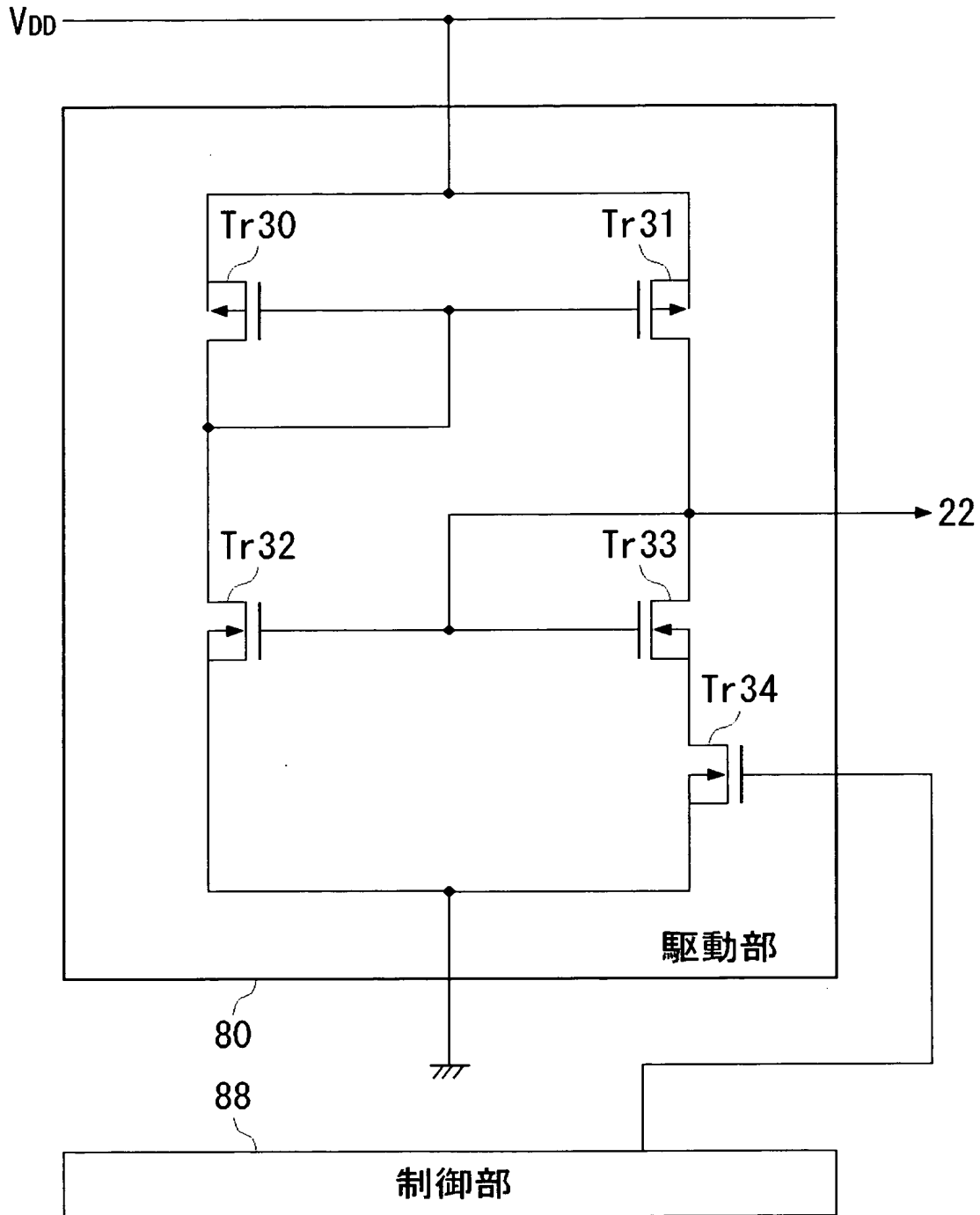


【図 6】



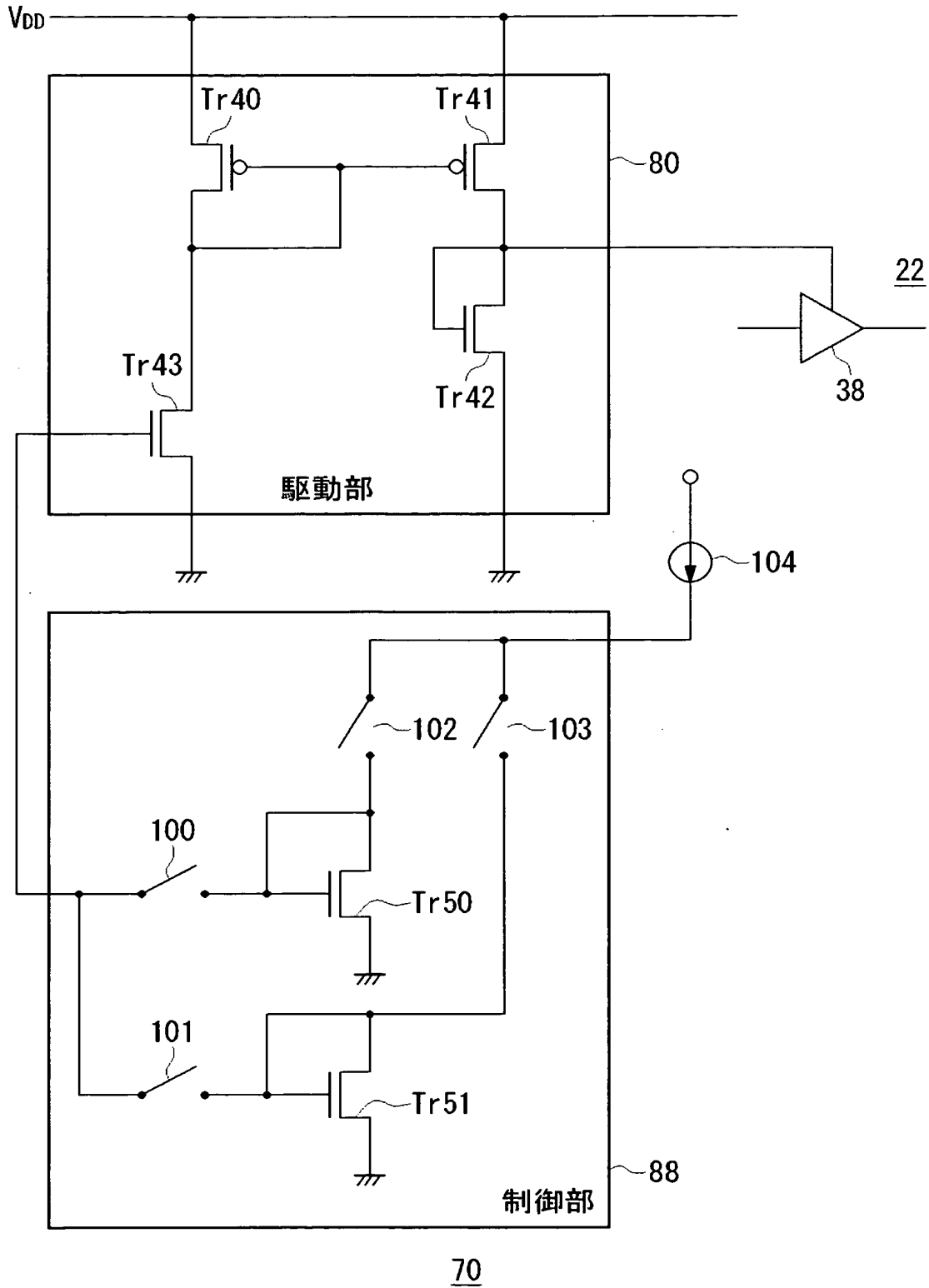
70

【図 7】



70

【図 8】



【書類名】 要約書

【要約】

【課題】 AD変換器において、回路面積の増大を伴わずに低電圧化を実現するのは困難であった。

【解決手段】 AD変換器の増幅回路にバイアス電圧を印加する第1バイアス電圧生成回路70は、駆動部80と制御部88を有する。駆動部80は、並列接続された電流駆動能力の異なる複数のバイアス回路として、第1バイアス回路82および第2バイアス回路84を含む。第1バイアス回路82および第2バイアス回路84は、それぞれ電源電位VDDと接地電位VSSとの間で直接接続されたCMOSトランジスタと、貫通電流を遮断するためのスイッチング素子を含む。CMOSトランジスタのドレインからバイアス電圧が出力される。制御部88は、第1バイアス回路82および第2バイアス回路84の双方または一方をオンさせることにより、駆動部80全体の電流駆動能力を制御する。

【選択図】 図3

特願 2 0 0 4 - 0 6 0 5 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社